

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-85670

(P2001-85670A)

(43) 公開日 平成13年3月30日 (2001.3.30)

(51) Int. Cl.⁷

識別記号

F I

テマコード*(参考)

H 0 1 L 29/778

H 0 1 L 29/80

H 5 F 1 0 2

21/338

29/812

審査請求 有 請求項の数 8 O L (全 7 頁)

(21) 出願番号 特願平11-259681

(22) 出願日 平成11年9月14日 (1999.9.14)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 大野 泰夫

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 笠原 健資

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088812

弁理士 ▲柳▼川 信

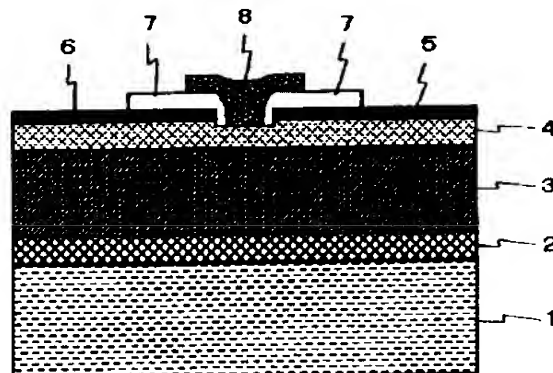
最終頁に続く

(54) 【発明の名称】 電界効果型トランジスタ及びその製造方法

(57) 【要約】

【課題】 GaN系電界効果型トランジスタにおいて、表面準位の影響が無く、ON抵抗が低いトランジスタ構造を提供する。

【解決手段】 電界効果型トランジスタのn型AlGa N電荷供給層4の上にドレイン電極金属5及びソース電極金属6、パッシベーション膜7を形成し、ゲート部のみドレイン電極金属5及びソース電極金属6、パッシベーション膜7を除去し、露出した金属端面に絶縁膜を形成し、開口部にゲート電極8を堆積する。



【特許請求の範囲】

【請求項1】 GaN層及びInGaN層の一方をチャネルとする電界効果型トランジスタであって、チャネル層の上にn型及びノンドープAlGaIn層の一方を、その上に金属層を、さらにその上に絶縁体層を形成し、該絶縁膜層と前記金属層とを1回のパターニングで開口し、その開口部側壁に絶縁膜を形成してから該開口部に金属を埋め込んでゲートを形成するようにしたことを特徴とする電界効果型トランジスタ。

【請求項2】 前記金属層は、チタンとアルミニウムとの2層膜で形成するようにしたことを特徴とする請求項1記載の電界効果型トランジスタ。

【請求項3】 前記金属層は、アルミニウムを含み、前記開口部側壁の形成方法としてアルミニウムの陽極酸化膜を用いるようにしたことを特徴とする請求項1記載の電界効果型トランジスタ。

【請求項4】 前記金属層の代わりに、n型AlGaIn層とノンドープGaN層及びノンドープInGaIn層の一方とを交互に複数並べた層を用いるようにしたことを特徴とする請求項1記載の電界効果型トランジスタ。

【請求項5】 GaN層及びInGaN層の一方をチャネルとする電界効果型トランジスタの製造方法であって、チャネル層の上にn型及びノンドープAlGaIn層の一方を形成する工程と、その上に金属層を形成する工程と、さらにその上に絶縁体層を形成する工程と、該絶縁膜層と前記金属層とを1回のパターニングで開口する工程と、その開口部側壁に絶縁膜を形成してから該開口部に金属を埋め込んでゲートを形成する工程とを有することを特徴とする電界効果型トランジスタの製造方法。

【請求項6】 前記金属層は、チタンとアルミニウムとの2層膜で形成するようにしたことを特徴とする請求項5記載の電界効果型トランジスタの製造方法。

【請求項7】 前記金属層は、アルミニウムを含み、前記開口部側壁の形成方法としてアルミニウムの陽極酸化膜を用いるようにしたことを特徴とする請求項5記載の電界効果型トランジスタの製造方法。

【請求項8】 前記金属層の代わりに、n型AlGaIn層とノンドープGaN層及びノンドープInGaIn層の一方とを交互に複数並べた層を用いるようにしたことを特徴とする請求項5記載の電界効果型トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は電界効果型トランジスタ及びその製造方法に関し、特にGaNを用いる電界効果型トランジスタの構造に関する。

【0002】

【従来の技術】 従来、GaNを用いた電界効果型トランジスタにおいては、キャリア移動度が高くまた破壊電圧が高いことから、高周波高出力トランジスタとして開発

が進められている。

【0003】 現在は、エッチング技術の未発達からソースからドレインまで全く同じ表面を用いるデバイスが多く報告されている。この場合には表面準位の影響が非常に大きく、ヒステリシス等の問題が顕著である。これを回避するためにGaAs系の電界効果型トランジスタで用いられるリセス構造が開発されている。

【0004】 図6は従来のリセス構造の電界効果型トランジスタの断面模式図である。GaAsでのリセス領域13は低いON抵抗と高耐圧を両立させるために、両者のバランスで設計されており、ON抵抗と耐圧とは相反する関係がある。

【0005】 しかしながら、GaNではバンドギャップが3.9eVと大きいので、アバランシェ破壊がしにくく、同じ構造でもGaAsに比べて5倍の耐圧があるとされている。

【0006】 図7は従来のGaAs系のデバイスで用いられていた側壁構造の電界効果型トランジスタの断面模式図である。14はキャップ層と呼ばれる低抵抗n型層である。本構造を用いることで、7のバッシュン膜との界面の界面準位に電荷が溜まっても、その影響は低抵抗n型層14の全伝導度に比べればわずかな変化しか及ぼさないで、ヒステリシス等の問題は小さく抑ええられる。

【0007】 しかしながら、キャップ層の抵抗を小さくすると、ゲートの端部に高電界が加わることになるので耐圧低下の問題を起こす。そのため、このような構造は電源電圧が低いデジタルIC（集積回路）でしか使えない。そのため、高周波アナログ回路のようなある程度高い電圧の信号まで使うためには、キャップ層の不純物濃度に関しては無制限に下げれば良いというものではなかった。この技術については、特開平11-191619号公報に開示されている。

【0008】 尚、図6及び図7において、1はサファイアまたはSiC基板、2はAlGaInバッファ層、3はチャネルの形成されるGaNまたはInGaIn層、4はn型AlGaIn電荷供給層、5はドレイン電極金属、6はソース電極金属、8はゲート電極をそれぞれ示している。

【0009】

【発明が解決しようとする課題】 上述した従来の電界効果型トランジスタでは、GaAsパワートランジスタで用いたリセス構造においても、GaAsで問題となった表面準位の問題をやはり回避することができない。

【0010】 特に、バンドギャップが大きいので、表面電位の変化量も大きくなることが予測され、GaAs以上に深刻となる可能性がある。また、リセス部の抵抗でON抵抗や高周波特性が損なわれる可能性も有る。

【0011】 そこで、本発明の目的は上記の問題点を解消し、GaN系電界効果型トランジスタにおいてON抵

抗を下げ、高周波特性を向上させ、かつ表面準位の問題を回避する構造を得ることができる電界効果型トランジスタ及びその製造方法を提供することにある。

【0012】

【課題を解決するための手段】本発明による電界効果型トランジスタは、Ga_{0.5}N_{0.5}層及びInGa_{0.5}N_{0.5}層の一方をチャンネルとする電界効果型トランジスタであって、チャンネル層の上にn型及びノンドープAlGa_{0.5}N_{0.5}層の一方を、その上に金属層を、さらにその上に絶縁体層を形成し、該絶縁膜層と前記金属層とを1回のパターニングで開口し、その開口部側壁に絶縁膜を形成してから該開口部に金属を埋め込んでゲートを形成するようにしている。

【0013】本発明による電界効果型トランジスタの製造方法は、Ga_{0.5}N_{0.5}層及びInGa_{0.5}N_{0.5}層の一方をチャンネルとする電界効果型トランジスタの製造方法であって、チャンネル層の上にn型及びノンドープAlGa_{0.5}N_{0.5}層の一方を形成する工程と、その上に金属層を形成する工程と、さらにその上に絶縁体層を形成する工程と、該絶縁膜層と前記金属層とを1回のパターニングで開口する工程と、その開口部側壁に絶縁膜を形成してから該開口部に金属を埋め込んでゲートを形成する工程とを備えている。

【0014】すなわち、本発明の電界効果型トランジスタは、Ga_{0.5}N_{0.5}層またはInGa_{0.5}N_{0.5}層をチャンネルとする電界効果型トランジスタにおいて、チャンネル層の上にn型またはノンドープAlGa_{0.5}N_{0.5}層の上に金属層または超格子よりなる低抵抗半導体層を設け、その上に絶縁体層を設け、この絶縁膜層と金属層または低抵抗半導体層とを1回のパターニングで開口し、さらに開口部側壁に絶縁膜を形成し、該開口部に金属を埋め込むことでゲートを形成することで構成されている。

【0015】従来のリセス構造の電界効果型トランジスタにおいては、上記のように、GaAsでのリセス領域が低いON抵抗と高耐圧とを両立させるために、両者のバランスで設計されており、ON抵抗と耐圧とは相反する関係がある。しかしながら、Ga_{0.5}N_{0.5}ではバンドギャップが3.9eVと大きいので、アバランシェ破壊がしにくく、同じ構造でもGaAsに比べ5倍の耐圧があるといわれている。そこで、GaAsと同じ程度の電源電圧を想定した場合には、耐圧の観点からはリセス領域を形成する必要はなくなる。

【0016】本発明の電界効果型トランジスタにおいては、ソース電極やドレイン電極をゲートに極限まで近く持ってきているが、その耐圧は半導体中のアバランシェ破壊では決まらず、ゲートとドレインやソースとの間に置かれた側壁膜の絶縁耐圧で決まることになる。側壁膜をSiO₂とすると、20Vの耐圧は400Å程度の厚さで十分である。

【0017】400Åの抵抗層は、もしチャンネルのシート抵抗が比較的高めの1000Ω/□としても0.04

Ω/mmと非常に小さく、例えばその伝導度が数倍変わっても大きな影響は起きない。さらに、このような短い距離ではわずかのバイアスでも表面の状態によらず半導体に電流が流れるパンチスルーという現象が起きるため、表面状態に依存せずに低抵抗となる。

【0018】本発明の電界効果型トランジスタでは、ソースからドレインまでの途中で、パッシベーション膜が伝導度に影響を与えるのがこの部分のみなので、表面準位の影響を全く受けないといえる。

10 【0019】また、従来のGaAs系のデバイスで用いられていた側壁構造の電界効果型トランジスタにおいては、上記のように、本構造を用いることで、パッシベーション膜との界面の界面準位に電荷が溜まっても、その影響が低抵抗n型層の全伝導度に比べればわずかな変化しか及ぼさないため、ヒステリシス等の問題が小さく押さえられる。

【0020】しかしながら、キャップ層の抵抗を小さくすると、ゲートの端部に高電界が加わることになるので、耐圧低下の問題を起こす。そのため、このような構造は電源電圧が低いディジタルICでしか使えない。そのため、高周波アナログ回路のようなある程度高い電圧の信号まで使うためにはキャップ層の不純物濃度に関しては無制限に下げれば良いというものではない。

【0021】

【発明の実施の形態】次に、本発明の一実施例について図面を参照して説明する。図1は本発明の一実施例による電界効果型トランジスタの断面模式図である。図1において、ドレイン電極金属5及びソース電極金属6は金属で形成され、ゲート電極8との間にはパッシベーション膜7が存在する。

30 【0022】このパッシベーション膜7をSiO₂で形成し、その厚さを400Åとした場合、SiO₂の耐圧は5MV/cmの20V程度である。一方、n型AlGa_{0.5}N_{0.5}電荷供給層4は300Å程度であるが、ドレイン電極金属5に高電圧が加わった場合には空乏化が起こるので、耐圧は膜厚では決まらず、半導体中のアバランシェ破壊で決まる。

【0023】ゲート長が0.2μm程度とした場合、ソース、ドレイン間耐圧はGaAsでは4V程度まで低下するが、Ga_{0.5}N_{0.5}系ではその5倍の20V程度まで安定に動作する。そのため、ドレイン電極金属5をこのようにゲート直近まで持ってきてても耐圧の問題は起きない。

【0024】図1に示す構造の場合、ドレイン電極金属5からGa_{0.5}N_{0.5}またはInGa_{0.5}N_{0.5}層3まではn型AlGa_{0.5}N_{0.5}電荷供給層4を通るが、n型AlGa_{0.5}N_{0.5}電荷供給層4のAl組成を低く、かつドナーの濃度を10¹⁸cm⁻³以上にしておけば、電極抵抗は低く押さえられる。

【0025】図2(a)及び(b)は本発明の一実施例による電界効果型トランジスタの製造工程を示す断面図である。これら図1と図2(a)と図2(b)とを参照

して本発明の一実施例による電界効果型トランジスタの製造工程について説明する。

【0026】まず、サファイアまたはSiC基板1の上にAlGaInバッファ層2を介してノンドープGaInNまたはGaInN層3と、100~400Å程度のn型AlGaIn電荷供給層4とをエピタキシャル成長法で形成する。

【0027】この基板に蒸着法を用いて電極用金属層15（例えば、Ti、Al等の膜）を形成する。厚さは所望の抵抗値、ドレイン電極までの距離等によるが、導電性の高いアルミニウム等では1000Å程度でよい。

【0028】続いて、ソース、ドレインの電極となる金属（ドレイン電極金属5及びソース電極金属6）とゲート金属とを絶縁するための絶縁膜となるパッシベーション膜16（パッシベーション膜7）を堆積する。例えば、SiO₂を堆積するが、その厚さは耐圧の観点からは400Å程度で良い。しなしながら、むしろ高周波動作での寄生容量の観点から3000Å程度と厚く堆積する〔図2(a)参照〕。

【0029】次に、フォトレジスト17でゲートを開口してゲート開口部18を形成し、反応性ドライエッチングによって、CF₄でSiO₂を、Cl₂でアルミニウムを、SF₆でチタンを、BCl₃でAlGaInをエッチングする。続いて、前面にSiO₂膜を成長させ、再びCF₄で方向性エッチングをすることで、先のゲート開口部18に絶縁膜の側壁を形成する。さらに、スパッタリングでNiとAuとを蒸着し、ゲート電極8とする〔図2(b)参照〕。

【0030】素子分離はこれらの工程の後に金属層をエッチングで落とし、半導体層をB等のイオン注入で半絶縁化する方法で行う。これ以外にも、金属膜蒸着前にアイソレーション工程を済ませ、金属膜を後から除去することも可能である。他の工程は通常のGaInNデバイスの作製工程と同様であるので、その説明は省略する。

【0031】図3は本発明の他の実施例による電界効果型トランジスタの断面模式図である。図3において、本発明の他の実施例による電界効果型トランジスタは本発明の一実施例による電界効果型トランジスタの金属層（ドレイン電極金属5及びソース電極金属6）を50Å程度の薄いチタン層9と数千Åのアルミニウム層10としている。この場合、600℃程度の融点以下の温度で良好なオーミック電極が形成できる。

【0032】その結果、ソース、ドレイン電極周囲での余分な寄生抵抗を大幅に削減することができ、パワーデバイスで問題となるON抵抗が低減され、また高周波特性の改善にも役立つ。

【0033】ソース、ドレイン電極用の金属（チタン層9及びアルミニウム層10）としては、WSi等のシリサイドがオーミック形成のためのアロイや開口部形成の際のドライエッチングダメージの回復アニールを高温で

できるので、好都合である。しかしながら、Ti/Al、とりわけTiを20Åから100Å程度に薄くした場合には、600℃程度のアルミニウムが溶けない低温でも良好なオーミックを形成することができる。

【0034】図4は本発明の別の実施例による電界効果型トランジスタの断面模式図である。図4において、本発明の別の実施例による電界効果型トランジスタは本発明の別の実施例による電界効果型トランジスタのチタン層9及びアルミニウム層10とゲート電極8との間に陽極酸化法で絶縁膜（陽極酸化アルミニウム酸化物11）を形成したものである。

【0035】例えば、ホウ酸塩、リン酸塩、アジピン酸塩等を含む中性溶液中でアルミニウム層10に電極を取り、正電圧を加えると、バリア皮膜といわれる稠密な膜ができる。この膜厚は液組成とバイアス条件とで決まるので、比較的均一な厚さになる。この膜を後でアニール処理することで、良質な絶縁膜（陽極酸化アルミニウム酸化物11）を形成することができる。

【0036】この方法を用いれば、SiO₂を堆積してエッチングするという面倒な工程が入らず、かつ加工精度も高くなり、より微細なトランジスタを制御良く作成することが可能である。

【0037】陽極酸化では金属層（チタン層9及びアルミニウム層10）に電極を取るため、分離されていることが好ましくない。そのため、n型AlGaIn電荷供給層4やチタン層9及びアルミニウム層10が全面に存在する状態で行うか、電流バスを残して処理を行い、後で電流バスを除去する。

【0038】さらに、電流バスを選択的に形成すれば、ソース側とドレイン側との陽極酸化の膜厚を変えることができる。こうすれば、高耐圧と低寄生容量とが特に必要なドレイン側のみに厚い膜を形成することができる。

【0039】図5は本発明のさらに別の実施例による電界効果型トランジスタの断面模式図である。図5において、本発明のさらに別の実施例による電界効果型トランジスタでは低抵抗のソース、ドレイン層（ドレイン電極金属5及びソース電極金属6）をゲート電極8近傍まで持ってくるために、低抵抗領域を半導体（GaInN超格子層12、22）としている。むしろ、製造工程的には上記のように構成することで、複雑なエッチングを簡略化することができる。

【0040】従来のGaAsではキャップ層としてn型半導体を用いている。しかしながら、GaInNのn型層は移動度が極めて低いといわれている。そのため、本発明のさらに別の実施例による電界効果型トランジスタではヘテロ構造を導入し、ヘテロ界面の不純物散乱を受けない電子をチャネルで利用している。

【0041】GaAsでも似た状況であるが、GaAsのn型層は $2 \times 10^{18} \text{ cm}^{-3}$ 程度しかドナー濃度が上げられないので、チャネルに 10^{12} cm^{-2} 台のキャリアを

10

20

30

40

50

発生させるには、AlGaAs層が1層で300Å程度は必要で、多層のヘテロ層を導入して低抵抗化を図ることができない。

【0042】しかしながら、GaN/AlGaIn超格子層12, 22ではドナー濃度を1桁高くできるので、層厚が100Å以下ですむこと、さらにピエゾ効果でもっと薄いAlGaIn層でも多量の電荷が発生するので、ヘテロ層を多層化して、層数の分だけ伝導度の向上が可能となる。

【0043】本発明のさらに別の実施例による電界効果型トランジスタではヘテロ層を3層としている。これによって、1層が200Ω程度のシート抵抗を持つので、70Ωのシート抵抗となり、ゲート、ドレイン間の距離が1.5μmでも、ドレイン抵抗を0.1Ωmmと非常に小さくすることができる。

【0044】上述した構造を用いることで、高い耐圧を維持しながらソース、ゲート間、ドレイン、ゲート間の寄生抵抗を極めて小さくすることができる。これによって、高効率なパワーFET(Field Effect Transistor)が作製可能となる。

【0045】また、短チャネル化した場合でも高耐圧、低寄生抵抗なので、他の半導体では実現できないような極めて高速のトランジスタを実現することができる。さらに、化合物半導体で問題となる表面準位の影響もほとんど発生しないという利点もある。

【0046】

【発明の効果】以上説明したように本発明によれば、GaN層及びInGaIn層の一方をチャネルとする電界効果型トランジスタにおいて、チャネル層の上にn型及びノンドープAlGaIn層の一方を、その上に金属層を、さらにその上に絶縁膜層を形成し、該絶縁膜層と金属層とを1回のパターニングで開口し、その開口部側壁に絶縁膜を形成してから該開口部に金属を埋め込んでゲートを形成することによって、GaN系電界効果型トランジスタにおいてON抵抗を下げ、高周波特性を向上させ、

かつ表面準位の問題を回避する構造を得ることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例による電界効果型トランジスタの断面模式図である。

【図2】(a)及び(b)は本発明の一実施例による電界効果型トランジスタの製造工程を示す断面図である。

【図3】本発明の他の実施例による電界効果型トランジスタの断面模式図である。

10 【図4】本発明の別の実施例による電界効果型トランジスタの断面模式図である。

【図5】本発明のさらに別の実施例による電界効果型トランジスタの断面模式図である。

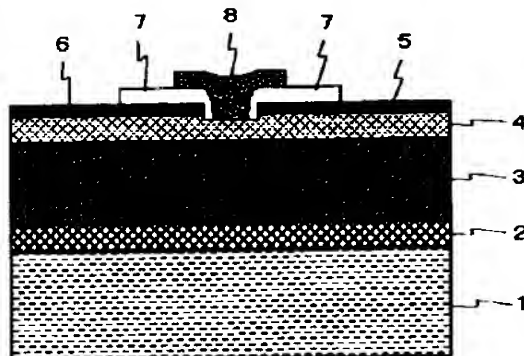
【図6】従来のリセス構造の電界効果型トランジスタの断面模式図である。

【図7】従来の側壁構造の電界効果型トランジスタの断面模式図である。

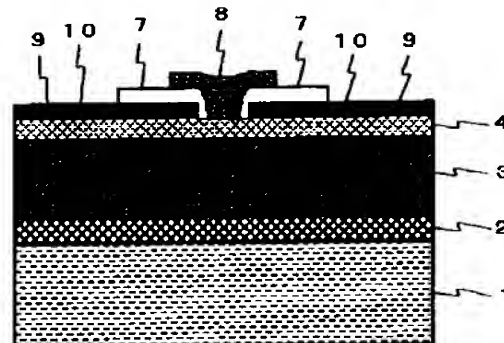
【符号の説明】

- 1 サファイアまたはSiC基板
- 2 AlGaInバッファ層
- 3 チャネルの形成されるGaNまたはInGaIn層
- 4 n型AlGaIn電荷供給層
- 5 ドレイン電極金属
- 6 ソース電極金属
- 7 パッシベーション膜
- 8 ゲート電極
- 9 チタン層
- 10 アルミニウム層
- 11 陽極酸化アルミニウム酸化物
- 12, 22 GaN/AlGaIn超格子層
- 15 電極用金属層
- 16 パッシベーション膜
- 17 フォトリソグ
- 18 ゲート開口部

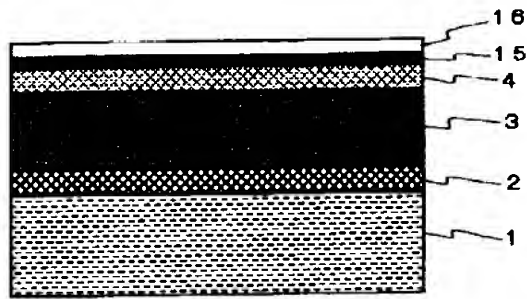
【図1】



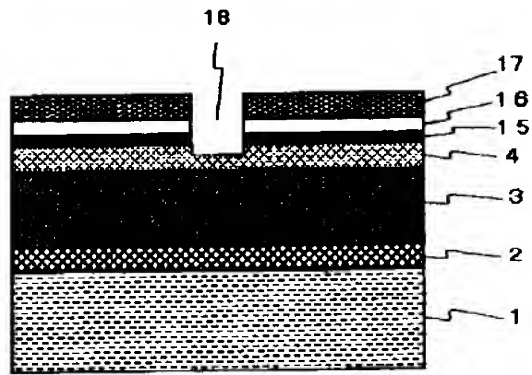
【図3】



【図2】

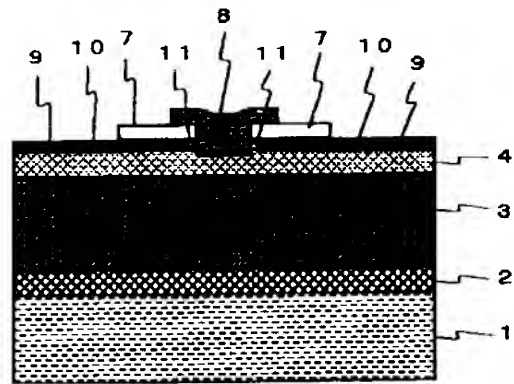


(a)

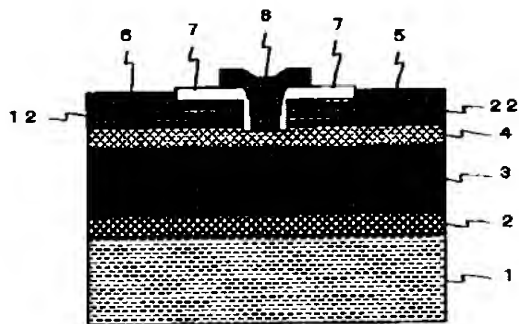


(b)

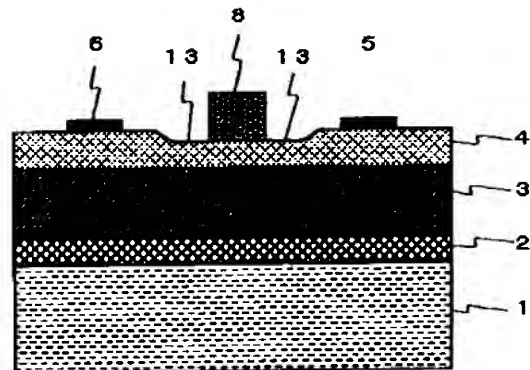
【図4】



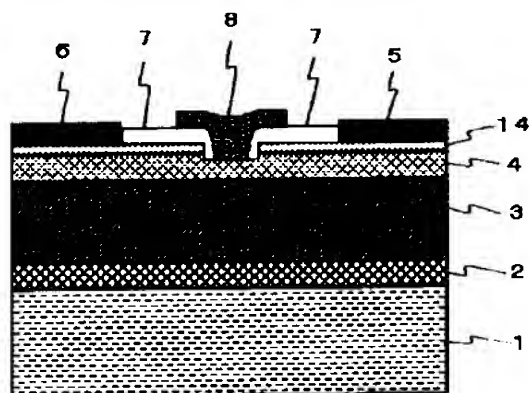
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 国弘 和明

東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 高橋 裕之

東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 中山 達峰

東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 羽山 信幸

東京都港区芝五丁目7番1号 日本電気株
式会社内

Fターム(参考) 5F102 FA01 FA03 GJ02 GJ10 GL04

GM04 GN08 QQ01 GR04 GT02

GT03 GV07 HC01 HC11 HC15

HC21